

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-160463

(43)Date of publication of application : 21.06.1996

(51)Int.Cl.

G02F 1/136

G02F 1/1333

(21)Application number : 06-306558

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 09.12.1994

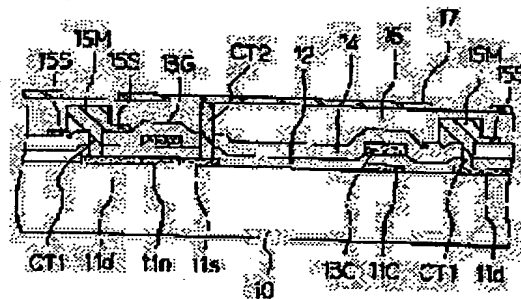
(72)Inventor : JINNO MASASHI

## (54) REFLECTION TYPE LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To improve the display grade of a reflection type liquid crystal display device for which p-SiTFTs are used by flattening the reflection layer of the device.

**CONSTITUTION:** Flattening of a second interlayer insulating layer 16 which is the ground surface of pixel electrodes 17 is executed, by which the pixel electrodes 17 in canon use as the reflection layer are flattened. The scattering of reflected light to the outside of prescribed optical paths is lessened and luminance is improved when the device is built as a light valve of a projection system; in addition, the degradation in the luminance and contrast ratio by the interference of modulation light between pixels or a change in the chromaticity distribution by the deviation of additive method color mixing are prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The electrode wiring substrate with the reflecting layer characterized by providing the following and a transparent-electrode substrate with the common electrode are stuck on both sides of a liquid crystal layer. The reflected type liquid crystal display which modulates for every display pixel and is re-injected from the aforementioned transparent-electrode substrate side while impressing a signal level to the pixel capacity for a liquid crystal drive formed for every display pixel, changing the orientation of liquid crystal, reflecting the light which carried out incidence from the aforementioned transparent-electrode substrate side by the aforementioned reflecting layer and going and coming back to the aforementioned liquid crystal layer. The aforementioned electrode wiring substrate is the polycrystal semiconductor layer formed in the both-sides edge of the channel layer which does not contain an impurity, and this channel layer in the shape of an island on the insulating substrate including the source field and drain field which contain an impurity, respectively. The 1st insulating layer formed on this polycrystal semiconductor layer. The gate line containing the gate electrode which was formed on the aforementioned insulating substrate in which this 1st insulating layer was formed, and was allotted above the aforementioned channel layer. The 2nd insulating layer formed on this gate line, and the drain line which is formed on the aforementioned insulating substrate in which this 2nd insulating layer was formed, and has a connection with the aforementioned drain field, the 3rd insulating layer by which this drain line was covered, it was extensively formed, and the front face was made flat — this — the pixel electrode which served as the aforementioned reflecting layer while being formed on the 3rd insulating layer, having a connection with the aforementioned source field, carrying out specification of the aforementioned common electrode and the aforementioned liquid crystal layer and accomplishing the aforementioned pixel capacity

[Claim 2] The 3rd insulating layer of the above is a reflected type liquid crystal display according to claim 1 characterized by the bird clapper from the SOG film formed of a rotation application and baking of liquefied material, or the multilayer containing this SOG film.

[Claim 3] The aforementioned SOG film is a reflected type liquid crystal display according to claim 2 characterized by being formed by performing a rotation application and baking of liquefied material two or more times.

[Claim 4] The 3rd insulating layer of the above is a reflected type liquid crystal display according to claim 1 characterized by carrying out flattening by the CMP method using the union operation with a chemical reaction with polishing liquid, and mechanical friction polishing.

[Claim 5] It is a reflected type liquid crystal display given in either of a claim 1 to the claims 4 which the aforementioned drain line is allotted to the circumference position of the aforementioned pixel electrode, and the aforementioned pixel electrode is partially superimposed by the aforementioned drain line on both sides of the 3rd insulating layer of the above, and are characterized by making thickness thin in the portion which superimposes the aforementioned drain line on the aforementioned pixel electrode.

[Claim 6] It is a reflected type liquid crystal display given in either of a claim 1 to the claims 5 which the aforementioned gate line intersects the aforementioned drain line, is arranged in the circumference position of the aforementioned pixel electrode, and are characterized by the

aforementioned pixel electrode being partially superimposed by the aforementioned gate line on both sides of the 3rd insulating layer of the above at least.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Industrial Application]** this invention relates to the active-matrix type liquid crystal display using the thin film field-effect transistor (TFT:ThinFilm Transistor) of polycrystal silicon (p-Si) about a liquid crystal display (LCD:Liquid Crystal Display).

**[0002]**

**[Description of the Prior Art]** LCD has advantages, such as small, a thin shape, and a low power, and utilization is progressing in fields, such as OA equipment and an AV equipment. Especially the active matrix LCD that enabled the drive by line sequential scanning, using TFT as a switching element can perform the static drive of 100% of duty ratios in multiplexer theoretically, and is used for the big screen and the animation display of a high contrast ratio.

**[0003]** The active matrix LCD has the composition that voltage is impressed for every pixel capacity which the substrate (TFF substrate) which connected TFT, and the substrate (opposit substrate) which has a common electrode are stuck on the pixel electrode by which matrix arrangement was carried out on both sides of liquid crystal, and makes each display pixel. TFT has the work to which period maintenance of the voltage impressed to pixel capacity is carried out to rewriting in the following field by OFF resistance while it is turned on all at once for every scanning line and chooses the data signal input to a pixel electrode. Liquid crystal has the anisotropy in electro-optics, modulates the transmitted light according to the electric field formed of each pixel capacity, and makes a display image.

**[0004]** In recent years, there are some which used p-Si for the channel layer as TFT, high mobility is attained, and miniaturization of TFT size, one loading of the drive circuit section, etc. are realized. the miniaturization of TFT — the module itself — a miniaturization — since it turns with high definition, the miniaturization of the optic of others, such as a lens and a reflecting mirror, and highly precise-ization are attained and the whole optical system is miniaturized, it is used abundantly as a light valve of a projector The screen of high brightness especially whose reflected type with the reflecting layer in the cell is the technical problem of a projection method since a numerical aperture is high since the field of TFT is also used by display, and the use efficiency of light increases can be obtained.

**[0005]** There are some which devised the superposition section with the scanning line or a signal line, and improved the numerical aperture further especially about such a liquid crystal display.

Drawing 6 is the plan of structure conventionally [ the ], drawing 7 is the cross section of the TFT section corresponding to the D-D line of drawing 6 , and drawing 8 is the cross section of the drain line (55) section corresponding to the E-E line of drawing 6 . On the substrate (50) which consists of heat-resistant quartz glass etc., the barrier layer (51) which consists of p-Si is formed, and the channel layer (51n) of a non dope, the source doped by high concentration, and the drain field (51s, 51d) are included. Moreover, the 1st auxiliary capacity electrode for charge maintenance (51C) is formed in a source field (51s) and one. The gate insulating layer (52) formed of CVD or thermal oxidation all over the wrap in these is covered, the gate line (53) and the 2nd auxiliary capacity electrode (53C) which consist of doped p-Si or a polycide are formed on a gate insulating layer (52), a part of gate line (53) is allotted on a channel layer (51n), and it

serves as a gate electrode (53G). All over a wrap, the 1st layer insulation layer (54) is covered with CVD in these, the drain line (55) of aluminum is formed on the 1st layer insulation layer (54), and it connects with the drain field (51d) through the contact hole (CT3) opened for traffic in a gate insulating layer (52) and the 1st layer insulation layer (54). The 2nd layer insulation layer (56) was covered with CVD on the drain line (55), the pixel electrode (57) with light reflex nature, such as aluminum, or Mo, Ti, Cr, was formed on the 2nd layer insulation layer (56), and it serves as the reflecting layer. The pixel electrode (57) is connected to the source field (51s) through the contact hole (CT4) formed in a gate insulating layer (52), the 1st layer insulation layer (54), and the 2nd layer insulation layer (56). Furthermore, the pixel electrode (57) has been arranged to the field surrounded by the gate line (53) and the drain line (55), and was formed even on both lines (53 55), and the viewing area has extended it.

[0006] On such a substrate of composition, the substrate which supported the liquid crystal layer, the common electrode, and the common electrode is arranged further, and a reflected type liquid crystal display is completed. The pixel electrode (57) which served as the reflecting layer reflects the incident light from the upper part, and while going and coming back to a liquid crystal layer, it becomes irregular and it has the composition of re-injecting. The liquid crystal display of the above composition is used as a reflected type light valve, being included in a projection system.

[0007] As shown in drawing 8, it superimposes with width of face (L1) to a drain line (55) with predetermined line breadth between the adjoining pixel electrodes (57) while the minimum clearance (L) is required, in order to prevent the cross talk by the longitudinal direction electric field between the source sources. However, such the superposition section became a parasitic capacitance between \*\* and a source drain, and caused [ of the drain signal ] distortion.

[0008]

[Problem(s) to be Solved by the Invention] Conventionally, by expanding until it superimposes a pixel electrode (57) on a gate line (53) and a drain line (55), the viewing area was extended and the numerical aperture was improved. In this case, especially, by the drain line (55) side, as shown in drawing 8, the level difference by the thickness of a drain line (55) has arisen in the 2nd layer insulation layer (56) which covered the drain line (55) by CVD and was formed, and the pixel electrode (57) which made the 2nd layer insulation layer (56) the ground will be upheaved in the periphery section. That is, since it corresponds to the irregularity of a ground, as an open-circuit preventive measure, the drain line (55) is thickly formed in 5000-8000Å in thickness, and is upheaving the periphery of a pixel electrode (57). In p-Si TFTLCD by which the pixel pitch 50 micrometers or less was attained, if the miniaturization of 2-3 inch size is realized by 300,000 pixels and at least 1 micrometer or less of irregularity is in a reflector, the influence of dispersion of the following reflected lights will become remarkable.

[0009] First, in the periphery section of a pixel electrode (57), since the angle of reflection of the reflected light to an incident light differs compared with the center section. The light scattered about in the different direction arose to the predetermined optical path set as optical system, the use efficiency of light fell, and as a result, even if the part which expanded the pixel electrode (57) and raised the reflection factor became invalid and expanded the viewing area, the improvement in brightness was not achieved. Moreover, when the direction of the reflected light shifted, interference with the reflected light modulated by other pixels took place, and it had led to the fall of brightness or a contrast ratio, or change of the chromaticity distribution by the defect of additive mixture of colors.

[0010] Moreover, the irregularity of a pixel electrode (57) disturbs the electric field formed in a liquid crystal layer, and from this, if the orientation of liquid crystal becomes unstable and the modulation unusual light of this portion goes into a check by looking, it will lead to the fall of a contrast ratio.

[0011]

[Means for Solving the Problem] In this invention, in order to solve this technical problem, an electrode wiring substrate with the reflecting layer and a transparent-electrode substrate with the common electrode are stuck [ 1st ] on both sides of a liquid crystal layer. Impress a signal level to the pixel capacity for a liquid crystal drive formed for every display pixel, and the

orientation of liquid crystal is changed. In the reflected type liquid crystal display which modulates for every display pixel and is re-injected from the aforementioned transparent-electrode substrate side while reflecting the light which carried out incidence from the aforementioned transparent-electrode substrate side by the aforementioned reflecting layer and going and coming back to a liquid crystal layer. The polycrystal semiconductor layer by which the aforementioned electrode wiring substrate was formed in the both-sides edge of the channel layer which does not contain an impurity, and this channel layer in the shape of an island on the insulating substrate including the source field and drain field which contain an impurity, respectively. The gate line containing the gate electrode which was formed on the aforementioned insulating substrate in which the 1st insulating layer formed on this polycrystal semiconductor layer and this 1st insulating layer were formed, and was allotted above the aforementioned channel layer. The 2nd insulating layer formed on this gate line, and the drain line which is formed on the aforementioned insulating substrate in which this 2nd insulating layer was formed, and has a connection with the aforementioned drain field, the 3rd insulating layer by which this drain line was covered, it was extensively formed, and the front face was made flat — this — it is formed on the 3rd insulating layer, and has a connection with the aforementioned source field, and specification of the aforementioned common electrode and the aforementioned liquid crystal layer was carried out, and while accomplishing the aforementioned pixel capacity, it considered as the composition which consists of a pixel electrode which served as the aforementioned reflecting layer.

[0012] In the 1st composition, the 3rd insulating layer of the above was taken as the composition which consists of an SOG film formed by a rotation application and baking of liquefied material, or a multilayer containing this SOG film the 2nd. In the 2nd composition, the aforementioned SOG film was considered as the composition currently formed by performing a rotation application and baking of liquefied material two or more times the 3rd.

[0013] In the 1st composition, the 3rd insulating layer of the above was taken as the composition by which flattening is carried out by the CMP method using the union operation with a chemical reaction with polishing liquid, and mechanical friction polishing the 4th. In the 1st to 4th composition, the aforementioned drain line was allotted to the 5th in the circumference position of the aforementioned pixel electrode, and the aforementioned pixel electrode was partially superimposed by the aforementioned drain line on both sides of the 3rd insulating layer of the above, and the aforementioned drain line was taken as the composition by which thickness is made thin in the portion superimposed on the aforementioned pixel electrode.

[0014] In the 1st to 5th composition, the aforementioned gate line crossed, and has been arranged on the aforementioned drain line, in the circumference position of the aforementioned pixel electrode the 6th, and the aforementioned pixel electrode was considered as the composition on which the aforementioned gate line is partially overlapped on both sides of the 3rd insulating layer of the above at least.

[0015]

[Function] In the 1st composition of the above, by making the ground layer of a pixel electrode flat, the flat nature of a pixel electrode improves, thereby, the fall of the contrast ratio by the orientation disorder of liquid crystal is prevented, and display grace improves. Moreover, since the direction of the reflected light is made uniform throughout a pixel field by making flat the pixel electrode which served as the reflecting layer, the fall of the brightness by scattered about part of the reflected light, the fall of the contrast ratio by interference of the reflected light between pixels, or change of a chromaticity distribution is prevented.

[0016] using the SOG film which formed the drain line by the rotation applying method as the 3rd insulating layer of a wrap with the 2nd composition of the above — the level difference of a drain line layer and other wiring layers — relief — or it disappears and the ground layer of a pixel electrode becomes flat. Thereby, the flat nature of a pixel electrode improves. The flat nature of the 3rd insulating layer and membraneous quality improve by multiple times' dividing membrane formation of an SOG film, and performing it with the 3rd composition of the above.

[0017] carrying out flattening of the front face using the CMP method for adding polishing liquid and mechanical friction polishing for a drain line to the 3rd insulating layer of a wrap, and losing

irregularity by chemical and mechanical union operation with the 4th composition of the above, — the level difference of a drain line layer and other wiring layers — relief — or it disappears and the ground layer of a pixel electrode becomes flat. Thereby, the flat nature of a pixel electrode improves.

[0018] With the 5th composition of the above, by having a pixel electrode even in the field superimposed on a drain line, a viewing area is expanded and a numerical aperture improves. Moreover, since the pixel electrode is made flat, dispersion of the reflected light is lost and the fall of brightness or a contrast ratio or change of a chromaticity distribution is prevented. Moreover, by making thickness of a drain line thin in the superposition section with a pixel electrode, a level difference with the thick portion of thickness induces the thickness of the 3rd insulating layer by which flattening was carried out, and the parasitic capacitance between source drains decreases for this thickness.

[0019] With the 6th composition of the above, by having a pixel electrode even in the field superimposed on a gate line, a viewing area is expanded and a numerical aperture improves. Moreover, since the pixel electrode is made flat, dispersion of the reflected light is lost and the fall of brightness and a contrast ratio is prevented.

[0020]

[Example] Then, the example of this invention is explained. Drawing 1 is the plan of the pixel section and the cross section with which drawing 2 met the A-A line of drawing 1, the cross section with which drawing 3 met the B-B line of drawing 1, and drawing 4 are the cross sections which met the C-C line of drawing 1. first, the reduced pressure CVD which made material gas  $\text{SiH}_4$  or  $\text{Si}_2\text{H}_6$  under 640 degrees C and the conditions of about 0.3 Torrs on transparent substrates (10), such as quartz glass of high thermal resistance, — p-Si with a thickness of about 600A — a laminating — carrying out — this — a photograph — the barrier layer (11) of TFT and the 1st auxiliary capacity electrode (11C) are formed by carrying out patterning more dirtily. On a HTO (High Temperature Oxide) film, i.e., 880 degrees C, and the elevated-temperature low voltage conditions of about 0.8 Torrs,  $\text{SiO}_2$  with a thickness of 1000A formed at the barrier-layer (11) and 1st auxiliary capacity electrode (11C) top with the reduced pressure CVD which used the mixed gas of  $\text{SiH}_2\text{Cl}_2$  and  $\text{N}_2\text{O}$  is covered by the whole surface as material gas, and it considers as the gate insulating layer (12) on it. The 1st auxiliary capacity electrode (11C) is doped and formed into low resistance by  $\text{N}^+$  type by performing the ion implantation of N type impurities, such as phosphorus, by using as a mask the resist which covered the barrier layer (11) and was formed.

[0021] On a gate insulating layer (12), about 3000A p-Si (13P) is formed with reduced pressure CVD like a barrier layer (11). Dope to  $\text{N}^+$  type with the reduced pressure CVD which made  $\text{POCl}_3$  (3 phosphoryl chlorides) the source of diffusion, and the silicide (13S) of a tungsten (W) or molybdenum (Mo) is formed by sputtering on this. polycide structure — accomplishing — this — a photograph — by carrying out patterning more dirtily, it is formed in the pattern of a gate line (13), a gate electrode (13G), and the 2nd auxiliary capacity electrode (13C), and the ready film of the about 900-degree C activation annealing is performed and carried out further. The 2nd auxiliary capacity electrode (13C) is connected between pixels along the direction of a gate line (13), and common electrode voltage is impressed. The 2nd auxiliary capacity electrode (13C) is superimposed on both sides of the 1st auxiliary capacity electrode (11C) and gate insulating layer (12) to which source voltage is impressed, and constitutes the auxiliary capacity for charge maintenance. While a source drain field (11s, 11d) is formed by performing the ion implantation of N type impurities, such as phosphorus, by using a gate electrode (13G) as a mask, the channel field (11n) of a non dope is formed in the barrier layer (11).

[0022] All over a wrap, the laminating of  $\text{SiO}_2$  is carried out by Heat CVD in a gate line (13), a gate electrode (13G), and the 2nd auxiliary capacity electrode (13C), and it considers as the 1st layer insulation layer (14). sputtering after carrying out opening of the contact hole (CT1) to the gate insulating layer (12) on a drain field (11d), and the 1st layer insulation layer (14) etc. — aluminum — the thickness of 6000–7000A — a laminating — carrying out — a photograph — the mainline (15M) of a drain line (15) is formed more dirtily, and it connects with the drain field (11d) through the contact hole (CT1) furthermore, sputtering — heat-resistant high metal, such



as Cr, or Ti, Mo, — the thickness of about 1500Å — a laminating — carrying out — a photograph — it covers a mainline (15M) by the pattern bigger dirty more than a mainline (15M), and the subline (15S) which served as BM is formed

[0023] the structure which the structure of a drain line (15) was not limited to this, and turned the mainline (15M) of a small pattern for the subline (15S) of a big pattern up down here, and a mask which is different in a monolayer — 2 times — dividing — etching — structure, the structure which gave the level difference, using side etch positively are still more possible the bottom

[0024] On the substrate (10) in which the drain line (15) was formed, as shown in drawing 5, after carrying out the laminating of the SiO<sub>2</sub> film (1) to the thickness of about 1000–2000Å by CVD, a rotation application and baking of an SOG (spin-on-glass) solution are performed over multiple times, and the film which made SiO<sub>2</sub> the principal component, i.e., an SOG film, (2) is formed. By an SOG film's carrying out the rotation application of the SOG solution which dissolved silicon compound R<sub>n</sub>Si(OH)<sub>4-n</sub> and the additive in the organic solvent using a spinner, and performing 700–900-degree C heat treatment, evaporation of a solvent, and dehydration and polymerization reaction are urged, and SiO<sub>2</sub> of minerals is generated. The SOG film is excellent in surface flat nature, and, also in this example, the level difference has lost the drain line (15) with the wrap completely. Especially, flat nature and membraneous quality improve further by dividing a rotation application and baking into multiple times, and performing them like this example. On an SOG film (2), a SiNX film (3) is further formed by CVD, and it is considering as the 2nd layer insulation layer (16) with these SiO<sub>2</sub> film (1), the SOG film (2), and the SiNX film (3).

[0025] In addition, composition which requires such an elevated-temperature process is realized only in the liquid crystal display using the quartz-glass substrate and p-SiTFT of high thermal resistance. Moreover, although the membraneous quality of an SOG film (2) deteriorates when not making temperature high in consideration of the thermal resistance of the drain line (15) already formed of aluminum at the time of baking of SOG. By considering as the multilayer discontinuous construction like drawing 5, a membraneous inferior SOG film (2) is used only for flattening, it has by SiO<sub>2</sub> film (1) and the SiNX film (3), layer insulation accomplishes, and the poor insulation by the defect of an SOG film (2) is prevented.

[0026] Moreover, with the structure of drawing 3, when Cr is used as a subline (15S), by calcinating an SOG film (2) at an elevated temperature, and making SiO<sub>2</sub> film (1) unnecessary, the oxide film of Cr is formed and reflection is suppressed. That is, reflection by the drain line (15) can be prevented by performing baking in an elevated temperature and promoting scaling object contamination positively using Cr with comparatively high reactivity. In addition, the subline (15S) has also achieved the duty which suppresses hillock generating by the heat history of a mainline (15M) which consists of aluminum, and aluminum is protected also here in the case of baking of SOG.

[0027] After carrying out opening of the contact hole (CT2) to the gate insulating layer (12) on a source field (11s), the 1st layer insulation layer (14), and the 2nd layer insulation layer (16), by performing sputtering and FOTOETCH of aluminum, the pixel electrode (17) which served as the reflecting layer is formed, and it connects also with the source field (11s) through the contact hole (CT2). Since the pixel electrode (17) is formed on the 2nd layer insulation layer (16) by which flattening was carried out, high flat nature is obtained.

[0028] As shown in drawing 1 and drawing 3, a pixel electrode (17) is close to the mainline (15M) while being superimposed on a subline (15S). Namely, line breadth is narrower than before, and a pixel electrode (17) is larger than before, a drain line (15) consists of the thick mainline (15M) section of thickness, and the thin subline (15S) section of thickness, and, as for the mainline (15M), the viewing area is expanded [ it can extend to the limitation of the minimum clearance (L) for preventing a cross talk with the adjoining pixel electrode (17), and ]. Moreover, while a subline (15S) suppresses increase of resistance by the line breadth of mainline (15M) being reduced and compensating conductivity Thickness is formed thinly, a level difference with the mainline (15M) section is obtained, clearance with the pixel electrode (17) on the 2nd layer insulation layer (16) by which covered the drain line (15) and flattening was carried out is earned

by this, and the parasitic capacitance is decreased.

[0029] And the physical relationship with such a pixel electrode (17) and mailer in (15M), and a subline (15S) Double the flat nature of the 2nd layer insulation layer (16) by having improved, and precision improves, are controllable in the range of an alignment gap of 1 micrometer or less, and the adjoining pixel electrode (17) all receives a drain line (15). It is superimposed with the optimal superposition \*\*\*\* (L1) which adjusted expansion of a viewing area, and reduction of a parasitic capacitance. For this reason, it prevents the physical relationship of an adjoining pixel electrode (17) and adjoining mailer in (15M) in the meantime going wrong, overlapping one pixel electrode (17) and mailer in (15M), and a parasitic capacitance's becoming large, and causing the cross talk between source drains, signal delay, etc.

[0030] Similarly the physical relationship of the gate line (13) of the adjoining pixel electrode (17) and the meantime is controlled also by the side by the side of a gate line (13) with high precision to be shown in drawing 4 . While having the minimum clearance (L) and superposition \*\*\*\* (L2), and a pixel electrode's (17)'s being able to extend and expanding the viewing area It prevents th superposition area of two pixel electrodes (17) and gate lines (13) being out of order, and one near parasitic capacitance increasing, and causing a cross talk and signal delay.

[0031] In this invention, light is uniformly reflected throughout the pixel electrode (17) which served as the reflecting layer by having carried out flattening of the 2nd layer insulation layer (16) which is the ground of a pixel electrode (17). For this reason, the light modulated for every pixel interferes, and a contrast ratio falls or it prevents a chromaticity distribution changing with gaps of additive mixture of colors. Moreover, since it prevents scattering about the reflected lights out of the predetermined optical path set as optical system when using for the light valve of a projector, the use efficiency of light improves and the bright display of high brightness is obtained.

[0032] Moreover, since the pixel electrode (17) has extended with flat nature maintained as shown in drawing 3 and drawing 4 , a numerical aperture rises, the use efficiency of light increases further, and brightness improves. Moreover, by having extended the pixel electrode (17) and having reduced the non-display field, the quantity of light between pixels which is not modulated decreases, and a contrast ratio improves. Furthermore, by promoting scaling contamination of a subline (15S), using baking of an SOG film (2) positively, reflection by the drain line (15) is prevented and a contrast ratio improves more.

[0033] There are some which are depended on the CMP (chemical mechanical polishing) method other than use of the above-mentioned SOG film (2) as flattening of the 2nd layer insulation layer (16). That is, SiO<sub>2</sub> film is formed by efficient consumer response-CVD on the substrate in which the drain line (15) was formed, by mechanical polishing removal using the polishing liquid of weak alkalinity, a chemical reaction and the union operation effect of mechanical friction raise polishing efficiency, and flattening is performed. Highly precise flat nature is obtained by this, and the irregularity of a pixel electrode (17) loses.

[0034]

[Effect of the Invention] By this invention, by performing flattening of the ground layer of a pixel electrode in the reflected type liquid crystal display used for a projector etc., dispersion of the reflected light was prevented, brightness and the fall of a contrast ratio, or change of a chromaticity distribution was prevented, and display grace improved so that clearly from the above explanation.

[0035] Moreover, by extending a pixel electrode even on a gate line and a drain line, the numerical aperture improved, brightness and the contrast ratio went up further, and the bright screen was obtained.

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the plan of the liquid crystal display concerning the example of this invention.

**[Drawing 2]** It is the cross section which met the A-A line of drawing 1.

**[Drawing 3]** It is the cross section which met the B-B line of drawing 1.

**[Drawing 4]** It is the cross section which met the C-C line of drawing 1.

**[Drawing 5]** It is the cross section of the 2nd layer insulation layer.

**[Drawing 6]** It is the plan of the conventional liquid crystal display.

**[Drawing 7]** It is the cross section which met the D-D line of drawing 6.

**[Drawing 8]** It is the cross section which met the E-E line of drawing 6.

**[Description of Notations]**

1 SiO<sub>2</sub> Film

2 SOG Film

3 SiNX Film

10 Transparent Substrate

11 P-Si Barrier Layer

12 Gate Insulating Layer

13 Gate Line

14 1st Layer Insulation Layer

15 Drain Line

15M Mainline

15S Subline

16 2nd Layer Insulation Layer

17 Pixel Electrode

CT Contact hole

L The minimum clearance

L1, L2 superposition \*\*\*\*

---

**[Translation done.]**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-160463

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0		
	1/1333	5 0 5		

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平6-306558

(22) 出願日 平成6年(1994)12月9日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

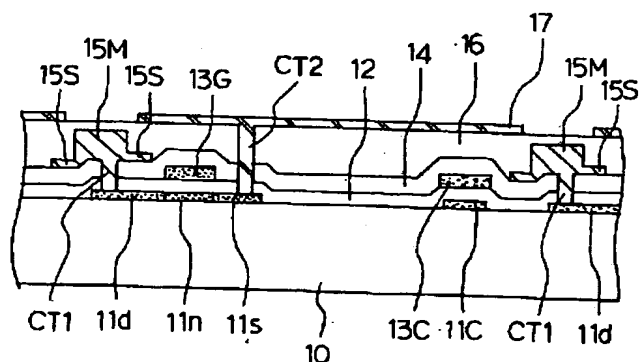
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 反射型液晶表示装置

(57) 【要約】

【目的】 p-S i T F Tを用いた反射型液晶表示装置において、反射層を平坦化することにより表示品位を向上する。

【構成】 画素電極(17)の下地である第2の層間絶縁層(16)の平坦化を行うことにより反射層を兼ねた画素電極(17)を平坦化する。プロジェクションシステムのライトバルブとして組み込んだ場合、反射光の所定光路外への散乱分が減り、輝度が向上するとともに、画素間での変調光の干渉による輝度及びコントラスト比の低下あるいは加法混色のずれによる色度分布の変化が防がれる。



(2)

## 【特許請求の範囲】

【請求項1】 反射層を有した電極配線基板と共通電極を有した透明電極基板が液晶層を挟んで貼り合わされ、表示画素ごとに形成された液晶駆動用の画素容量に信号電圧を印加して液晶の配向を変化させ、前記透明電極基板側から入射した光を前記反射層で反射させ前記液晶層を往復する間に表示画素ごとに変調して前記透明電極基板側から再射出する反射型液晶表示装置において、前記電極配線基板は、絶縁性基板上に、不純物を含有しないチャンネル層及び該チャンネル層の両側端にそれぞれ不純物を含有するソース領域とドレイン領域を含んで島状に形成された多結晶半導体層と、該多結晶半導体層上に形成された第1の絶縁層と、該第1の絶縁層が形成された前記絶縁性基板上に形成され前記チャンネル層の上方に配されたゲート電極を含むゲートラインと、該ゲートライン上に形成された第2の絶縁層と、該第2の絶縁層が形成された前記絶縁性基板上に形成され前記ドレイン領域との接続部を有するドレインラインと、該ドレインラインを覆って全面的に形成され表面が平坦にされた第3の絶縁層と、該第3の絶縁層上に形成され前記ソース領域との接続部を有し前記共通電極及び前記液晶層を規格して前記画素容量を成すとともに前記反射層を兼ねた画素電極とからなることを特徴とする反射型液晶表示装置。

【請求項2】 前記第3の絶縁層は、液状材料の回転塗布及び焼成により形成されたSOG膜、または、該SOG膜を含む多層膜からなることを特徴とする請求項1記載の反射型液晶表示装置。

【請求項3】 前記SOG膜は、液状材料の回転塗布及び焼成を複数回行うことにより形成されていることを特徴とする請求項2記載の反射型液晶表示装置。

【請求項4】 前記第3の絶縁層は、研磨液による化学反応と機械的な摩擦研磨との合併作用を利用したCMP法により平坦化されていることを特徴とする請求項1記載の反射型液晶表示装置。

【請求項5】 前記ドレインラインは、前記画素電極の周辺位置に配され、前記画素電極は前記第3の絶縁層を挟んで部分的に前記ドレインラインに重畳され、かつ、前記ドレインラインは、前記画素電極に重畳する部分において膜厚が薄くされていることを特徴とする請求項1から請求項4のいずれかに記載の反射型液晶表示装置。

【請求項6】 前記ゲートラインは、前記画素電極の周辺位置で前記ドレインラインに交差して配置され、前記画素電極は少なくとも前記第3の絶縁層を挟んで部分的に前記ゲートラインに重畳されていることを特徴とする請求項1から請求項5のいずれかに記載の反射型液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶表示装置（LC

D：Liquid Crystal Display）に関するもので、多結晶シリコン（p-Si）の薄膜電界効果トランジスタ（TFT：Thin Film Transistor）を用いたアクティブマトリクス型の液晶表示装置に関するものである。

## 【0002】

【従来の技術】 LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子としてTFTを用い、線順次走査による駆動を可能としたアクティブマトリクスLCDは、原理的にデューティ比100%のスタティック駆動をマルチプレクスのに行うことができ、大画面、高コントラスト比の動画ディスプレイに使用されている。

【0003】 アクティブマトリクスLCDは、マトリクス配置された画素電極にTFTを接続した基板（TFF基板）と、共通電極を有する基板（対向基板）が、液晶を挟んで貼り合わされ、各表示画素をなす画素容量ごとに電圧が印加される構成となっている。TFTは、一走査線ごとに一齐にONされ、画素電極へのデータ信号入力を選択するとともに、OFF抵抗により、画素容量へ印加された電圧を次フィールドでの書き換えまでの期間保持する働きを有している。液晶は、電気光学的に異方性を有しており、各画素容量により形成された電界に従って透過光を変調し、表示画像を作り出す。

【0004】 近年、TFTとして、チャンネル層にp-Siを用いたものがあり、高移動度が達成され、TFTサイズの小型化、駆動回路部の一体搭載などが実現されている。TFTの小型化によりモジュール自体が小型化、高精細化され、レンズ、反射鏡などその他の光学部品30の小型化、高精度化が可能となり、光学系全体が小型化されるので、プロジェクターのライトバルブとして多用されている。特に、セル内に反射層を有した反射型はTFTの領域も表示に使用されるので、開口率が高く、光の利用効率が高まるので、プロジェクション方式の課題である高輝度の画面を得ることができる。

【0005】 このような液晶表示装置に関して、特に、走査線や信号線との重畳部を工夫して更に開口率を向上したものがある。図6はその従来構造の平面図であり、図7は図6のD-D線に対応するTFT部の断面図であり、図8は図6のE-E線に対応するドレインライン

（55）部の断面図である。耐熱性の石英ガラスなどからなる基板（50）上に、p-Siよりなる活性層（51）が形成され、ノンドープのチャンネル層（51n）、高濃度にドーピングされたソース及びドレイン領域（51s、51d）が含まれている。また、電荷保持用の第1の補助容量電極（51C）がソース領域（51s）と一体に形成されている。これらを覆う全面にはCVDあるいは熱酸化により形成されたゲート絶縁層（52）が被覆され、ゲート絶縁層（52）上にはドーブドp-Siあるいはポリサイドからなるゲートライン（5

(3)

3

3) 及び第2の補助容量電極(53C)が形成され、ゲートライン(53)の一部はチャンネル層(51n)上に配されゲート電極(53G)となっている。これらを覆う全面にはCVDにより第1の層間絶縁層(54)が被覆され、第1の層間絶縁層(54)上にはAlのドレインライン(55)が形成され、ゲート絶縁層(52)及び第1の層間絶縁層(54)に開通されたコンタクトホール(CT3)を介して、ドレイン領域(51d)に接続されている。ドレインライン(55)上にはCVDにより第2の層間絶縁層(56)が被覆され、第2の層間絶縁層(56)上にはAlあるいはMo、Ti、Crなどの光反射性を有した画素電極(57)が形成され、反射層を兼ねている。画素電極(57)は、ゲート絶縁層(52)、第1の層間絶縁層(54)及び第2の層間絶縁層(56)に形成されたコンタクトホール(CT4)を介して、ソース領域(51s)に接続されている。更に、画素電極(57)は、ゲートライン(53)とドレインライン(55)に囲まれた領域に配置され、両ライン(53、55)上にまで形成され、表示領域が広がられている。

【0006】このような構成の基板の上には、更に、液晶層、共通電極、及び、共通電極を支持した基板が配置されて反射型液晶表示装置に完成される。反射層を兼ねた画素電極(57)は、上方からの入射光を反射し、液晶層を往復する間に変調して再射出する構成となっている。以上の構成の液晶表示装置は、反射型のライトバルブとしてプロジェクションシステムに組み込まれて使用される。

【0007】図8に示す如く、隣接する画素電極(57)間は、ソース・ソースの間の横方向電界によるクロストークを防ぐため、最低離間距離(L)が必要であるとともに、所定の線幅を有したドレインライン(55)に対して、幅(L1)をもって重畳している。しかし、このような重畳部は、即、ソース・ドレイン間の寄生容量となり、ドレイン信号の歪みの原因となっていた。

【0008】

【発明が解決しようとする課題】従来は、画素電極(57)をゲートライン(53)及びドレインライン(55)に重畳するまで拡大することにより、表示領域を広げ、開口率を向上していた。この場合、特にドレインライン(55)の側では、図8に示す如く、CVDによりドレインライン(55)を覆って形成された第2の層間絶縁層(56)に、ドレインライン(55)の膜厚による段差が生じており、第2の層間絶縁層(56)を下地とした画素電極(57)もまた周縁部で隆起された状態になっている。即ち、ドレインライン(55)は、下地の凹凸に対応するために、断線防止策として、膜厚を5000~8000Åに厚く形成されており、画素電極(57)の周縁を隆起させている。50μm以下の画素ピッチが達成されたp-SiTFTLCDでは30万画

4

素で2~3インチサイズの小型化が実現されており、1μm以下でも反射面に凹凸があると、以下のような反射光の散乱の影響が顕著になってくる。

【0009】まず、画素電極(57)の周縁部では、中央部に比べて、入射光に対する反射光の反射角が異なっているため、光学系に設定された所定の光路に対して、異なる方向へ散乱される光が生じ、光の利用効率が低下し、結果的に、画素電極(57)を拡大して反射率を高めた分が無効となり、表示領域を拡大しても輝度の向上は果たされていなかった。また、反射光の方向がずれると、他の画素で変調されてきた反射光との干渉が起こり、輝度あるいはコントラスト比の低下や加法混色の不良による色度分布の変化につながっていた。

【0010】また、画素電極(57)の凹凸は液晶層に形成される電界を乱し、これより、液晶の配向が不安定になり、この部分の変調異常光が視認に入ると、コントラスト比の低下につながる。

【0011】

【課題を解決するための手段】本発明では、この課題を解決するために、第1に、反射層を有した電極配線基板と共通電極を有した透明電極基板が液晶層を挟んで貼り合わされ、表示画素ごとに形成された液晶駆動用の画素容量に信号電圧を印加して液晶の配向を変化させ、前記透明電極基板側から入射した光を前記反射層で反射させ液晶層を往復する間に表示画素ごとに変調して前記透明電極基板側から再射出する反射型液晶表示装置において、前記電極配線基板は、絶縁性基板上に、不純物を含有しないチャンネル層及び該チャンネル層の両側端にそれぞれ不純物を含有するソース領域とドレイン領域を含んで島状に形成された多結晶半導体層と、該多結晶半導体層上に形成された第1の絶縁層と、該第1の絶縁層が形成された前記絶縁性基板上に形成され前記チャンネル層の上方に配されたゲート電極を含むゲートラインと、該ゲートライン上に形成された第2の絶縁層と、該第2の絶縁層が形成された前記絶縁性基板上に形成され前記ドレイン領域との接続部を有するドレインラインと、該ドレインラインを覆って全面的に形成され表面が平坦にされた第3の絶縁層と、該第3の絶縁層上に形成され前記ソース領域との接続部を有し前記共通電極及び前記液晶層を規格して前記画素容量を成すとともに前記反射層を兼ねた画素電極とからなる構成とした。

【0012】第2に、第1の構成において、前記第3の絶縁層は、液状材料の回転塗布及び焼成により形成されたSOG膜、または、該SOG膜を含む多層膜からなる構成とした。第3に、第2の構成において、前記SOG膜は、液状材料の回転塗布及び焼成を複数回行うことにより形成されている構成とした。

【0013】第4に、第1の構成において、前記第3の絶縁層は、研磨液による化学反応と機械的な摩擦研磨との合併作用を利用したCMP法により平坦化されている

5

構成とした。第5に、第1から第4の構成において、前記ドレインラインは、前記画素電極の周辺位置に配され、前記画素電極は前記第3の絶縁層を挟んで部分的に前記ドレインラインに重畳され、かつ、前記ドレインラインは、前記画素電極に重畳する部分において膜厚が薄くされている構成とした。

【0014】第6に、第1から第5の構成において、前記ゲートラインは、前記画素電極の周辺位置で前記ドレインラインに交差して配置され、前記画素電極は少なくとも前記第3の絶縁層を挟んで部分的に前記ゲートラインに重畳されている構成とした。

【0015】

【作用】前記第1の構成において、画素電極の下地層を平坦にすることにより、画素電極の平坦性が向上され、これにより、液晶の配向乱れによるコントラスト比の低下が防がれ、表示品位が向上される。また、反射層を兼ねた画素電極を平坦とすることにより、反射光の方向が画素領域の全域で均一にされるので、反射光の散乱分による輝度の低下や、画素間での反射光の干渉によるコントラスト比の低下あるいは色度分布の変化が防がれる。

【0016】前記第2の構成で、ドレインラインを覆う第3の絶縁層として、回転塗布法により形成したSOG膜を用いることにより、ドレインライン層、及び、その他の配線層の段差が緩和、あるいは、消滅され、画素電極の下地層が平坦になる。これにより、画素電極の平坦性が向上される。前記第3の構成で、SOG膜の成膜を複数回の分けて行うことにより、第3の絶縁層の平坦性と膜質が向上される。

【0017】前記第4の構成で、ドレインラインを覆う第3の絶縁層に研磨液と機械的な摩擦研磨を加え、化学的及び機械的の合併作用により凹凸を無くすCMP法を用いて表面を平坦化することにより、ドレインライン層、及び、その他の配線層の段差が緩和、あるいは、消滅され、画素電極の下地層が平坦になる。これにより、画素電極の平坦性が向上される。

【0018】前記第5の構成で、画素電極をドレインラインに重畳する領域にまでもってこることにより表示領域が拡大し、開口率が向上する。また、画素電極が平坦にされているため、反射光の散乱が無くなり、輝度またはコントラスト比の低下あるいは色度分布の変化が防がれる。また、画素電極との重畳部においてドレインラインの膜厚を薄くすることにより、膜厚の厚い部分との段差が、平坦化された第3の絶縁層の膜厚を生み、この膜厚のためにソース・ドレイン間の寄生容量が減少される。

【0019】前記第6の構成で、画素電極をゲートラインに重畳する領域にまでもってこることにより表示領域が拡大し、開口率が向上する。また、画素電極が平坦にされているため、反射光の散乱が無くなり、輝度及びコントラスト比の低下が防がれる。

(4)

6

【0020】

【実施例】続いて、本発明の実施例を説明する。図1は画素部の平面図であり、図2は図1のA-A線に沿った断面図、図3は図1のB-B線に沿った断面図、図4は図1のC-C線に沿った断面図である。まず、高耐熱性の石英ガラスなどの透明基板(10)上に、640℃、0.3 Torr程度の条件下でSiH<sub>4</sub>またはSi<sub>2</sub>H<sub>6</sub>を材料ガスとした減圧CVDにより、厚さ600 Å程度のp-Siを積層し、これをフォトエッチによりパターンニングすることにより、TFTの活性層(11)及び第1の補助容量電極(11C)が形成されている。活性層(11)及び第1の補助容量電極(11C)上には全面にHTO(High Temperature Oxide)膜、即ち、880℃、0.8 Torr程度の高温低圧条件で、材料ガスとしてSiH<sub>2</sub>Cl<sub>2</sub>とN<sub>2</sub>Oの混合ガスを用いた減圧CVDにより成膜された厚さ1000 ÅのSiO<sub>2</sub>が被覆され、ゲート絶縁層(12)とされている。第1の補助容量電極(11C)は、活性層(11)を覆って形成されたレジストをマスクとして燐などのN型不純物のイオン注入を行うことによりN+型にドーパされ低抵抗化されている。

【0021】ゲート絶縁層(12)上には、活性層(11)と同様に減圧CVDにより3000 Å程度のp-Si(13P)を成膜し、POCl<sub>3</sub>(三塩化ホスホリル)を拡散源とした減圧CVDによりN+型にドーパし、この上に、スパッタリングによりタングステン(W)あるいはモリブデン(Mo)のシリサイド(13S)を形成して、ポリサイド構造と成し、これをフォトエッチによりパターンニングすることにより、ゲートライン(13)、ゲート電極(13G)及び第2の補助容量電極(13C)のパターンに形成され、更に、900℃程度の活性化アニールを行って整膜している。第2の補助容量電極(13C)はゲートライン(13)方向に沿って画素間で接続され、共通電極電圧が印加される。第1の補助容量電極(11C)とゲート絶縁層(12)を挟んで重畳され、電荷保持用の補助容量を構成している。活性層(11)には、ゲート電極(13G)をマスクとして燐などのN型不純物のイオン注入を行うことにより、ソース・ドレイン領域(11s, 11d)が形成されるとともに、ノンドーパのチャンネル領域(11n)が形成されている。

【0022】ゲートライン(13)、ゲート電極(13G)及び第2の補助容量電極(13C)を覆う全面には熱CVDによりSiO<sub>2</sub>が積層され、第1の層間絶縁層(14)とされている。ドレイン領域(11d)上のゲート絶縁層(12)及び第1の層間絶縁層(14)にコンタクトホール(CT1)を開口したあと、スパッタリングなどによりAlを6000~7000 Åの厚さに積層し、フォトエッチによりドレインライン(15)のメ

(5)

7

インライン(15M)が形成され、コンタクトホール(CT1)を介してドレイン領域(11d)に接続されている。更に、スパッタリングによりCrあるいはTi、Moなど、耐熱性の高い金属を1500Å程度の厚さに積層し、フォトリソによりメインライン(15M)よりも大きなパターンでメインライン(15M)を覆い、BMを兼ねたサブライン(15S)が形成されている。

【0023】ここで、ドレインライン(15)の構造はこれに限定されることは無く、大きなパターンのサブライン(15S)を下に、小さなパターンのメインライン(15M)を上にした構造や、単層を異なるマスクで2度に分けてエッチングした構造、更には、サイドエッチを積極的に用いて段差をつけた構造なども可能である。

【0024】ドレインライン(15)が形成された基板(10)上には、図5に示す如く、CVDによりSiO<sub>2</sub>膜(1)を1000~2000Å程度の厚さに積層した後、SOG(spin-on-glass)溶液の回転塗布及び焼成を複数回にわたって行い、SiO<sub>2</sub>を主成分とした膜、即ち、SOG膜(2)を形成している。SOG膜は、ケイ素化合物R<sub>n</sub>Si(OH)<sub>4-n</sub>及び添加剤を有機溶剤に溶解したSOG溶液をスピナーを用いて回転塗布し、700~900℃の熱処理を行うことにより、溶剤の蒸発及び脱水・重合反応を促して無機質のSiO<sub>2</sub>が生成されたものである。SOG膜は表面の平坦性に優れており、本実施例でも、ドレインライン(15)を完全に覆うとともに、段差が無くされている。特に、本実施例の如く、回転塗布及び焼成を複数回に分けて行うことにより、平坦性及び膜質が更に向上する。SOG膜(2)上には更にCVDによりSiNX膜(3)を形成し、これらSiO<sub>2</sub>膜(1)、SOG膜(2)及びSiNX膜(3)をもって第2の層間絶縁層(16)としている。

【0025】なお、このような高温プロセスを要する構成は、高耐熱性の石英ガラス基板及びp-Si TFTを用いた液晶表示装置においてのみ実現される。また、SOGの焼成時に既にAlにより形成されているドレインライン(15)の耐熱性を考慮して、温度を高くしない場合、SOG膜(2)の膜質が悪化するが、図5の如き多層絶縁構造とすることにより、膜質の劣悪なSOG膜(2)を平坦化のみに用い、SiO<sub>2</sub>膜(1)及びSiNX膜(3)でもって層間絶縁が成され、SOG膜(2)の欠陥による絶縁不良が防がれる。

【0026】また、図3の構造で、サブライン(15S)としてCrを用いた場合、SOG膜(2)を高温で焼成してSiO<sub>2</sub>膜(1)を不要とすることにより、Crの酸化膜が形成され、反射が抑えられる。即ち、比較的反応性の高いCrを用い、高温での焼成を行って、積極的に表面酸化物汚染を促進することにより、ドレインライン(15)による反射を防ぐことができる。なお、

8

サブライン(15S)は、Alからなるメインライン(15M)の熱履歴によるヒロック発生を抑える役目も果たしており、ここでも、SOGの焼成の際に、Alは保護される。

【0027】ソース領域(11s)上のゲート絶縁層(12)、第1の層間絶縁層(14)及び第2の層間絶縁層(16)にコンタクトホール(CT2)を開口したあと、Alのスパッタリングとフォトリソを行うことにより反射層を兼ねた画素電極(17)が形成され、コンタクトホール(CT2)を介して、ソース領域(11s)にも接続されている。画素電極(17)は、平坦化された第2の層間絶縁層(16)上に形成されているため、高い平坦性が得られている。

【0028】図1及び図3に示す如く、画素電極(17)はサブライン(15S)上に重畳されるとともに、メインライン(15M)に近接されている。即ち、ドレインライン(15)は、膜厚の厚いメインライン(15M)部と、膜厚の薄いサブライン(15S)部からなり、メインライン(15M)は従来よりも線幅が狭く、かつ、画素電極(17)は従来よりも大きく、隣接する画素電極(17)とのクロストークを防ぐための最低離間距離(L)の限界まで上げられて表示領域が拡大されている。また、サブライン(15S)は、メインライン(15M)の線幅が縮小されていることによる抵抗の増大を抑え、導電率を補償するとともに、膜厚が薄く形成されて、メインライン(15M)部との段差が得られ、これにより、ドレインライン(15)を覆って平坦化された第2の層間絶縁層(16)上の画素電極(17)との離間距離が稼がれて、寄生容量を減少している。

【0029】そして、このような、画素電極(17)とメインライン(15M)及びサブライン(15S)との位置関係は、第2の層間絶縁層(16)の平坦性を向上したことにより合わせ精度が向上され、1μm以下のアライメントずれの範囲で制御が可能となっており、隣接する画素電極(17)はいずれもドレインライン(15)に対して、表示領域の拡大と寄生容量の減少を調整した最適の重畳部幅(L1)をもって重畳されている。このため、隣接する画素電極(17)とその間のメインライン(15M)との位置関係が狂って、一方の画素電極(17)とメインライン(15M)が重畳してしまい、寄生容量が大きくなってソース・ドレイン間のクロストークや信号遅延などを招くといったことが防がれる。

【0030】同様に、図4に示す如く、ゲートライン(13)側の辺でも、隣接する画素電極(17)とその間のゲートライン(13)の位置関係が高精度に制御され、最低離間距離(L)及び重畳部幅(L2)を有し、画素電極(17)が上げられて表示領域が拡大されるとともに、2つの画素電極(17)とゲートライン(13)の重畳面積が狂って一方の側の寄生容量が増大してクロストークや信号遅延を招くことが防がれてい



(6)

9

る。

【0031】本発明では、画素電極（17）の下地である第2の層間絶縁層（16）を平坦化したことにより、反射層を兼ねた画素電極（17）の全域で光が均一に反射される。このため、画素ごとに変調された光が干渉してコントラスト比が低下したり、加法混色のずれにより色度分布が変化するのが防がれる。また、プロジェクターのライトバルブに用いる場合、反射光が光学系に設定された所定の光路外に散乱されるのが防がれるため、光の利用効率が向上し、高輝度の明るい表示が得られる。

【0032】また、図3及び図4に示す如く、平坦性を維持したまま画素電極（17）が上げられているので、開口率が上昇して光の利用効率が更に高まり、輝度が向上する。また、画素電極（17）を上げて非表示領域を縮小したことにより、画素間での変調されない光量が減少し、コントラスト比が向上する。更に、SOG膜（2）の焼成を積極的に利用してサブライン（15S）の表面酸化汚染を促進することにより、ドレインライン（15）による反射が防がれて、コントラスト比がより向上する。

【0033】第2の層間絶縁層（16）の平坦化として、前述のSOG膜（2）の使用の他に、CMP（chemical mechanical polishing）法によるものがある。即ち、ドレインライン（15）が形成された基板上に、ECR-CVDによりSiO<sub>2</sub>膜を形成し、弱アルカリ性の研磨液を用いた機械的な研磨除去により、化学反応と機械的な摩擦の合併作用効果により研磨能率を高め、平坦化を行う。これにより高精度な平坦性が得られ、画素電極（17）の凹凸が無くされる。

【0034】

【発明の効果】以上の説明から明らかなように、本発明で、プロジェクターなどに用いられる反射型液晶表示装置において、画素電極の下地層の平坦化を行うことにより、反射光の散乱が防がれ、輝度、及び、コントラスト

10

比の低下、あるいは、色度分布の変化が防止され、表示品位が向上した。

【0035】また、画素電極をゲートライン及びドレインライン上にまで広げることにより、開口率が向上して、輝度及びコントラスト比が更に上昇して、明るい画面が得られた。

【図面の簡単な説明】

【図1】本発明の実施例に係る液晶表示装置の平面図である。

10 【図2】図1のA-A線に沿った断面図である。

【図3】図1のB-B線に沿った断面図である。

【図4】図1のC-C線に沿った断面図である。

【図5】第2の層間絶縁層の断面図である。

【図6】従来の液晶表示装置の平面図である。

【図7】図6のD-D線に沿った断面図である。

【図8】図6のE-E線に沿った断面図である。

【符号の説明】

1 SiO<sub>2</sub>膜

2 SOG膜

20 3 SiNX膜

10 透明基板

11 p-Si活性層

12 ゲート絶縁層

13 ゲートライン

14 第1の層間絶縁層

15 ドレインライン

15M メインライン

15S サブライン

16 第2の層間絶縁層

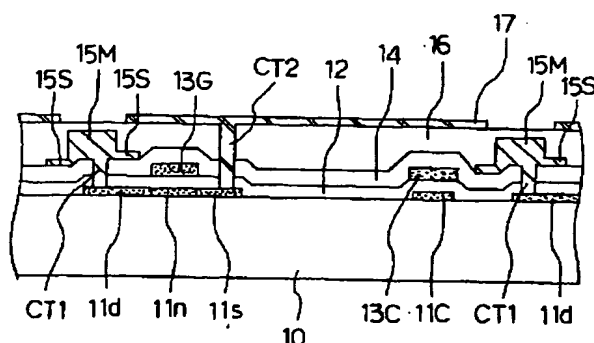
30 17 画素電極

CT コンタクトホール

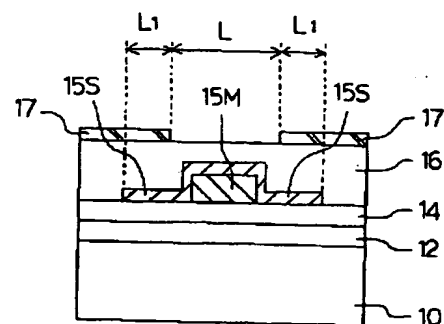
L 最低離間距離

L1, L2重畳部幅

【図2】

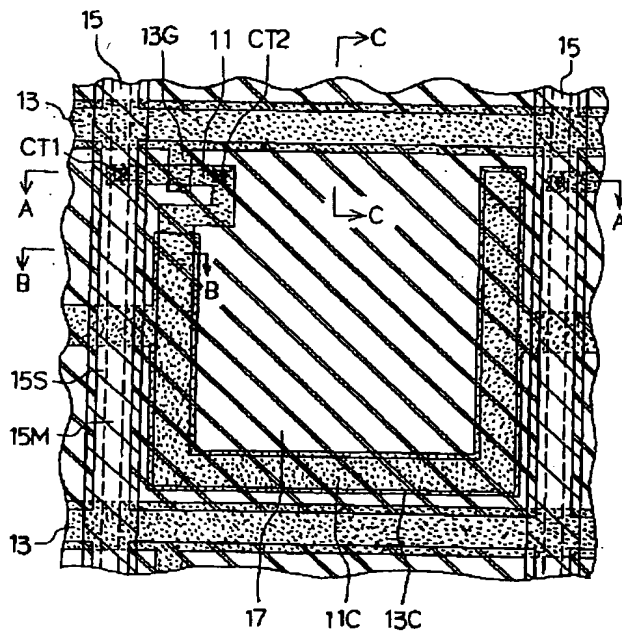


【図3】

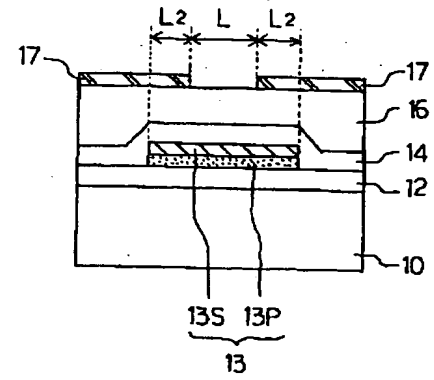


(7)

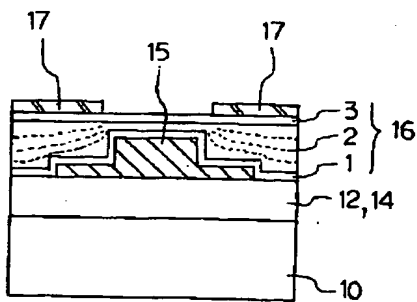
【図1】



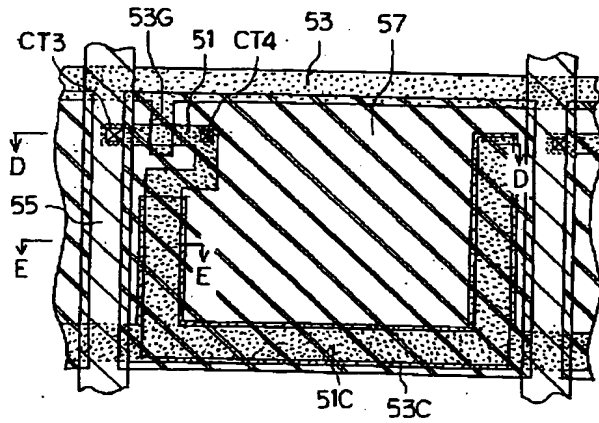
【図4】



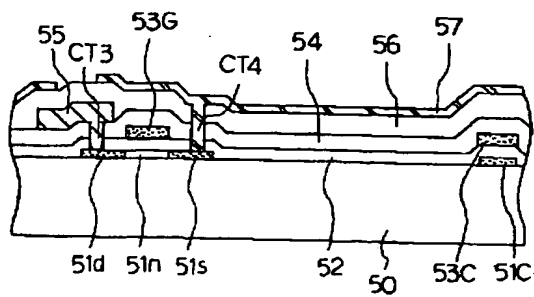
【図5】



【図6】



【図7】



【図8】

